

(19)

(11) Publication number:

10223629 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 09024068

(51) Int'l. Cl.: H01L 21/316

(22) Application date: 06.02.97

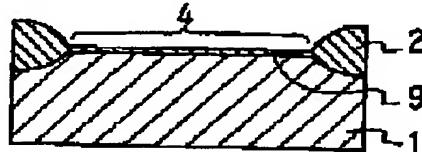
(30) Priority:
 (43) Date of application 21.08.98
 publication:
 (84) Designated
 contracting states:

(71) Applicant: MATSUSHITA ELECTRON CORP
 KOBAYASHI HIKARI(72) Inventor: KOBAYASHI HIKARI
 YONEDA KENJI
 NISHIYAMA MASAYOSHI

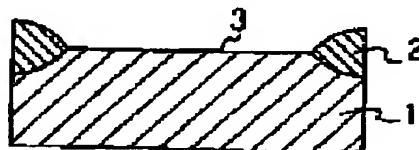
(74) Representative:

(54) METHOD OF FORMING
 OXIDE FILM ON
 SEMICONDUCTOR SURFACE
 AND MANUFACTURING
 METHOD OF
 SEMICONDUCTOR DEVICE

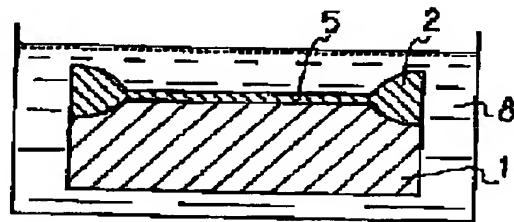
(a)



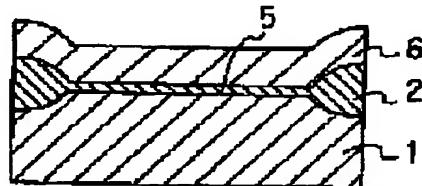
(b)



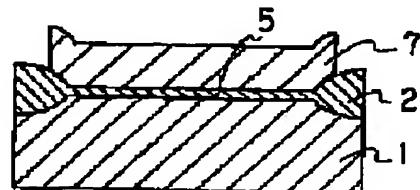
(c)



(d)



(e)



(57) Abstract:

PROBLEM TO BE SOLVED: To provide a method of forming a high-quality oxide film on a semiconductor substrate surface at a high controllability, and method of manufacturing a semiconductor device.

SOLUTION: After cleaning the surface of an Si substrate 1, it is dipped in a 0.5vol.% HF aqueous soln. for 5min. to remove impurities on active regions 4 and natural oxide film 9. The substrate 1 is rinsed with ultra-pure water for 5min. and dipped in a 72.4vol.% perchloric acid aqueous soln. heated at 203° C to form a silicon oxide film 5 on the surface. Gate electrodes 7 are formed on this film 5.

COPYRIGHT: (C)1998,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-223629

(43)公開日 平成10年(1998)8月21日

(51)Int.Cl.⁸
H 0 1 L 21/316

識別記号

F I
H 0 1 L 21/316

U

審査請求 未請求 請求項の数10 ○L (全 7 頁)

(21)出願番号 特願平9-24068

(22)出願日 平成9年(1997)2月6日

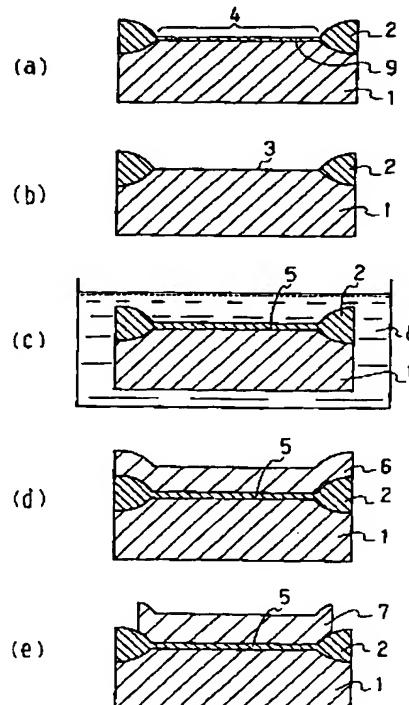
(71)出願人 000005843
松下電子工業株式会社
大阪府高槻市幸町1番1号
(71)出願人 594056384
小林 光
京都府京都市東山区本町9丁目106番地
(72)発明者 小林 光
京都府京都市東山区本町9丁目106番地
(72)発明者 米田 健司
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(72)発明者 西山 雅祥
大阪府河内長野市南花台1丁目20番10号
(74)代理人 弁理士 池内 寛幸 (外2名)

(54)【発明の名称】 半導体表面の酸化膜の形成方法及び半導体装置の製造方法

(57)【要約】

【課題】 高温加熱を用いることなく、半導体基板の表面に高品質の酸化膜を制御性よく形成することができる半導体表面の酸化膜の形成方法及び半導体装置の製造方法を提供する。

【解決手段】 シリコン基板1の表面を洗浄した後、濃度0.5vol.%のHF水溶液に5分間浸漬し、活性領域4上の不純物及び自然酸化膜9を除去する。シリコン基板1を超純水で5分間リーンス(洗浄)した後、このシリコン基板1を、203°Cに加熱した濃度72.4vol.%の過塩素酸水溶液8に37分間浸漬し、シリコン基板1の表面にシリコン酸化膜5を形成する。シリコン酸化膜5の上にゲート電極7を形成する。



【特許請求の範囲】

【請求項1】 半導体基板を、加熱した過塩素酸を含む溶液中に浸漬することにより、前記半導体基板の表面に半導体酸化膜を形成する半導体表面の酸化膜の形成方法。

【請求項2】 半導体基板を加熱しながら、前記半導体基板を過塩素酸を含む気体に暴露することにより、前記半導体基板の表面に半導体酸化膜を形成する半導体表面の酸化膜の形成方法。

【請求項3】 半導体基板を加熱した過塩素酸を含む溶液中に浸漬することによって前記半導体基板の表面に半導体酸化膜を形成し、前記半導体酸化膜上に導電層を形成する半導体装置の製造方法。

【請求項4】 半導体基板を加熱しながら、前記半導体基板を過塩素酸を含む気体に暴露することによって前記半導体基板の表面に半導体酸化膜を形成し、前記半導体酸化膜上に導電層を形成する半導体装置の製造方法。

【請求項5】 過塩素酸を含む溶液の温度が170°C以上で、かつ、前記過塩素酸を含む溶液の沸点以下である請求項1に記載の半導体表面の酸化膜の形成方法又は請求項3に記載の半導体装置の製造方法。

【請求項6】 過塩素酸を含む溶液中の過塩素酸の濃度が10vol.%以上である請求項1に記載の半導体表面の酸化膜の形成方法又は請求項3に記載の半導体装置の製造方法。

【請求項7】 過塩素酸を含む気体が蒸気である請求項2に記載の半導体表面の酸化膜の形成方法又は請求項4に記載の半導体装置の製造方法。

【請求項8】 半導体基板の加熱温度が170°C以上500°C以下である請求項2に記載の半導体表面の酸化膜の形成方法又は請求項11に記載の半導体装置の製造方法。

【請求項9】 過塩素酸を含む気体中の過塩素酸の濃度が10vol.%以上である請求項2に記載の半導体表面の酸化膜の形成方法又は請求項4に記載の半導体装置の製造方法。

【請求項10】 半導体基板が単結晶シリコン、多結晶シリコン、非晶質シリコン、砒化ガリウム、燐化インジウム、シリコンゲルマニウムカーバイド及びシリコンゲルマニウムからなる群から選ばれる少なくとも1つの材料からなる請求項1もしくは2に記載の半導体表面の酸化膜の形成方法又は請求項3もしくは4に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路などに用いられる金属-酸化膜-半導体デバイス、すなわち、MOS(metal oxide semiconductor)デバイス、とりわけMOSトランジスタ及びMOS容量の極薄ゲート酸化膜及び容量酸化膜などに応用することのできる半導

体表面の酸化膜の形成方法及び半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体デバイス、とりわけMOSトランジスタ、MOS容量のゲート酸化膜及び容量酸化膜としては、シリコンデバイスの場合、通常二酸化シリコン膜(以下「酸化膜」という。)が用いられている。これらの酸化膜には、高い絶縁破壊耐圧、高い絶縁破壊電荷量、低い固定電荷密度、低い可動イオン密度、低い界面準位密度が要求される。そのため、ウェーハの洗浄は非常に重要な工程の一つである。一方、デバイスの微細化、高集積化に伴い、ゲート酸化膜や容量酸化膜は薄膜化しており、例えば、0.1μm以下のデザインルールでは4nm以下の極薄ゲート酸化膜が要求される。従来、MOSトランジスタのゲート酸化膜は、600°C以上の高温で、半導体基板を乾燥酸素や水蒸気などの酸化性雰囲気に暴露することによって形成されていた(例えば、VLSIテクノロジー(VLSI Technology)、S. M. Sze編集、1984年、131~168ページ参照)。

【0003】また、熱酸化以外に、モノシリランやジクロロシリランを400~900°Cで熱分解させ、酸素と反応させることにより、基板表面に酸化膜を堆積させる化学的気相成長法(CVD法)なども用いられていた。また、低温で酸化膜を成長させる方法としては、酸化性の強い硝酸などの薬液中に半導体基板を浸漬し、化学的な酸化膜を形成する方法や、陽極酸化によって酸化膜を形成する方法がある。しかし、化学的な酸化膜を形成する方法では、成長できる膜厚範囲が限られ、一定以上の厚い膜厚を有する酸化膜を形成することができないという問題点があった。また、陽極酸化によって酸化膜を形成する方法では、膜厚の成長範囲は比較的広いものの、界面特性や絶縁破壊特性などの電気特性の十分な酸化膜を形成することができないという問題点がある。このほかにも、低温で酸化膜を形成する方法として、紫外線を照射しながら熱酸化を行う方法や、プラズマ中で酸化を行う方法がある。しかし、いずれの方法を用いた場合にも、薄い高品質の酸化膜を制御性よく、かつ再現性よく形成するのは困難な状況にある。

【0004】

【発明が解決しようとする課題】しかし、従来の比較的高温の熱酸化では、4nm以下の酸化膜を形成する際の膜厚の制御性に欠けるという問題点があった。また、膜厚の制御性を向上させるために低温での酸化を行うと、形成された酸化膜の膜質の点で、界面準位密度が高いこと、及び固定電荷密度が高いことなどの問題点があった。また、化学的気相成長法によって堆積した酸化膜も、膜厚制御性及び膜質の点で同様の問題をかかえている。特に、界面準位密度の発生は、MOSトランジスタのホットキャリア特性を劣化させるのみならず、トラン

ジスタの閾値電圧の不安定性、キャリア移動度の低下など、特に微細デバイスでは致命的な問題を引き起こす。さらに、素子の微細化により、熱処理工程の熱処理量の低減も要求されている。しかし、400°C以下の低温で熱酸化膜を形成しようとすると、上記の膜質の問題以外にも、酸化膜の成長レートが著しく低く、ゲート酸化膜として利用できる膜厚を実現することは困難であった。

【0005】本発明は、従来技術における前記課題を解決するためになされたものであり、高温加熱を用いることなく、半導体基板の表面に高品質の酸化膜を制御性よく形成することのできる半導体表面の酸化膜の形成方法及び半導体装置の製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】前記目的を達成するため、本発明に係る半導体表面の酸化膜の第1の形成方法は、半導体基板を、加熱した過塩素酸を含む溶液中に浸漬することにより、前記半導体基板の表面に半導体酸化膜を形成することを特徴とする。この半導体表面の酸化膜の第1の形成方法によれば、高温加熱を用いることなく、半導体基板の表面に膜厚1～30nmの半導体酸化膜を形成することができる。また、過塩素酸を用いることにより、酸化膜中の金属不純物の含有量が極めて少なくなるため、界面準位密度、固定電荷密度の低い界面特性に優れた半導体酸化膜を形成することができる。また、過塩素酸を含む溶液中への浸漬時間を調整することにより、半導体酸化膜の膜厚の制御を簡単に行うことができる。

【0007】また、前記本発明の半導体表面の酸化膜の第1の形成方法においては、過塩素酸を含む溶液の温度が170°C以上で、かつ、前記過塩素酸を含む溶液の沸点以下であるのが好ましい。この好ましい例によれば、過塩素酸による半導体酸化膜の成長レートを高く維持することができる。

【0008】また、前記本発明の半導体表面の酸化膜の第1の形成方法においては、過塩素酸溶液中の過塩素酸の濃度が10vol.%以上であるのが好ましい。また、前記本発明の半導体表面の酸化膜の第1の形成方法においては、半導体基板が単結晶シリコン、多結晶シリコン、非晶質シリコン、砒化ガリウム、焼化インジウム、シリコングルマニウムカーバイド及びシリコングルマニウムからなる群から選ばれる少なくとも1つの材料からなるのが好ましい。半導体基板として応用範囲が広いからである。

【0009】また、本発明に係る半導体表面の酸化膜の第2の形成方法は、半導体基板を加熱しながら、前記半導体基板を過塩素酸を含む気体に暴露することにより、前記半導体基板の表面に半導体酸化膜を形成することを特徴とする。この半導体表面の酸化膜の第2の形成方法によれば、高温加熱を用いることなく、半導体基板の表

面に膜厚1～30nmの均一な品質を有する半導体酸化膜を形成することができる。また、過塩素酸を用いることにより、酸化膜中の金属不純物の含有量が極めて少なくなるため、界面準位密度、固定電荷密度の低い界面特性に優れた半導体酸化膜を形成することができる。また、過塩素酸を含む気体への暴露時間を調整することにより、半導体酸化膜の膜厚の制御を簡単に行うことができる。

【0010】また、前記本発明の半導体表面の酸化膜の第2の形成方法においては、過塩素酸を含む気体が蒸気であるのが好ましい。この場合には、さらにオゾンを添加してもよい。

【0011】また、前記本発明の半導体表面の酸化膜の第2の形成方法においては、半導体基板の加熱温度が170°C以上500°C以下であるのが好ましい。また、前記本発明の半導体表面の酸化膜の第2の形成方法においては、過塩素酸を含む気体中の過塩素酸の濃度が10vol.1%以上であるのが好ましい。

【0012】また、前記本発明の半導体表面の酸化膜の第2の形成方法においては、半導体基板が単結晶シリコン、多結晶シリコン、非晶質シリコン、砒化ガリウム、焼化インジウム、シリコングルマニウムカーバイド及びシリコングルマニウムからなる群から選ばれる少なくとも1つの材料からなるのが好ましい。

【0013】また、本発明に係る半導体装置の第1の製造方法は、半導体基板を加熱した過塩素酸溶液中に浸漬することによって前記半導体基板の表面に半導体酸化膜を形成し、前記半導体酸化膜上に導電層を形成することを特徴とする。この半導体装置の第1の製造方法によれば、高温加熱を用いることなく、半導体基板の表面にMOSトランジスタのゲート酸化膜として有用な膜厚1～30nmの半導体酸化膜を制御性よく形成することができる、この半導体酸化膜は界面準位密度、固定電荷密度の低い界面特性に優れたものとなるので、高性能なMOSトランジスタ等の半導体装置を実現することができる。

【0014】また、前記本発明の半導体装置の第1の製造方法においては、過塩素酸を含む溶液の温度が170°C以上で、かつ、前記過塩素酸を含む溶液の沸点以下であるのが好ましい。

【0015】また、前記本発明の半導体装置の第1の製造方法においては、過塩素酸を含む溶液中の過塩素酸の濃度が10vol.1%以上であるのが好ましい。また、前記本発明の半導体装置の第1の製造方法においては、半導体基板が単結晶シリコン、多結晶シリコン、非晶質シリコン、砒化ガリウム、焼化インジウム、シリコングルマニウムカーバイド及びシリコングルマニウムからなる群から選ばれる少なくとも1つの材料からなるのが好ましい。

【0016】また、本発明に係る半導体装置の第2の製造方法は、半導体基板を加熱しながら、前記半導体基板

を過塩素酸を含む気体に暴露することによって前記半導体基板の表面に半導体酸化膜を形成し、前記半導体酸化膜上に導電層を形成することを特徴とする。この半導体装置の第2の製造方法によれば、高温加熱を用いることなく、半導体基板の表面にMOSトランジスタのゲート酸化膜として有用な膜厚1～30nmの均一な品質を有する半導体酸化膜を制御性よく形成することができ、この半導体酸化膜は界面準位密度、固定電荷密度の低い界面特性に優れたものとなるので、高性能なMOSトランジスタ等の半導体装置を実現することができる。

【0017】また、前記本発明の半導体装置の第2の製造方法においては、過塩素酸を含む気体が蒸気であるのが好ましい。この場合には、さらにオゾンを添加してもよい。

【0018】また、前記本発明の半導体装置の第2の製造方法においては、半導体基板の加熱温度が170°C以上500°C以下であるのが好ましい。また、前記本発明の半導体装置の第2の製造方法においては、過塩素酸を含む気体中の過塩素酸の濃度が10vol.%以上であるのが好ましい。

【0019】また、前記本発明の半導体装置の第2の製造方法においては、半導体基板が単結晶シリコン、多結晶シリコン、非晶質シリコン、砒化ガリウム、焼化インジウム、シリコンゲルマニウムカーバイド及びシリコンゲルマニウムからなる群から選ばれる少なくとも1つの材料からなるのが好ましい。

【0020】

【発明の実施の形態】以下、実施の形態を用いて本発明をさらに具体的に説明する。

〈第1の実施の形態〉まず、本発明により半導体酸化膜を形成する第1の実施の形態を図1を用いて説明する。本実施の形態においては、半導体基板として単結晶シリコン基板を用いた場合を例に挙げて、MOS容量を形成する場合について説明する。

【0021】まず、図1(a)に示すように、シリコン基板1上に、素子分離領域2と、素子を形成する領域である活性領域4を形成した。素子分離領域2としては、LOCOS(Local oxidation of Silicon)構造の酸化膜を1000°Cの水蒸気酸化により500nmの膜厚で形成した。活性領域4の表面には、自然酸化膜9として膜厚約1.2nmのSiO₂膜が存在している。シリコン基板1としては、引き上げ法(CZ法)によって作製したp型導電性(100)面方位、比抵抗10～15Ωcmの単結晶シリコン基板を用い、素子分離領域2のチャネルストッパーとしてホウ素を2×10¹³cm⁻³(at om)の濃度が得られるように公知のイオン注入法により50keVの加速エネルギーで注入している。

【0022】次に、図1(a)、(b)に示すように、公知のRCA洗浄法(W.Kern,D.A.Plutien:RCAレビュー31、187ページ、1970年)法によってシリコ

ン基板1の表面を洗浄した後、このシリコン基板1を濃度0.5vol.%のフッ化水素酸(HF)水溶液に5分間浸漬し、活性領域4上の不純物及び自然酸化膜9を除去した。

【0023】次に、図1(c)に示すように、シリコン基板1を超純水で5分間リーン(洗浄)した後、203°Cに加熱した濃度72.4vol.%の過塩素酸(HClO₄)水溶液8に37分間浸漬することにより、シリコン基板1の表面にシリコン酸化膜5を形成した。このよう10な濃度72.4vol.%の過塩素酸水溶液8を用いて酸化を行う場合には、過塩素酸水溶液8の温度を、この過塩素酸水溶液8の沸点である203°Cに近い温度、具体的には、195～203°Cに保持するのが望ましい。195°C以下では過塩素酸による半導体酸化膜の成長レートが低くなるからである。

【0024】次に、電極を形成するために、スパッタ法によりアルミニウム6を1μmの膜厚で堆積し(図1(d))、公知のフォトリソグラフィー技術によりゲート電極をバターンニングした後、公知のドライエッチング技術によりアルミニウム6をエッチングしてゲート電極7を形成した(図1(e))。以上の工程により、MOS容量を作製した。

【0025】図2に、洗浄を行い、自然酸化膜を除去したシリコン基板を、203°Cに加熱した濃度72.4vol.1%の過塩素酸水溶液中に40分間浸漬した後に観測したX線光電子スペクトルを示す。X線光電子スペクトルはVG社製E SCALAB 220i-XLを用いて測定した。この際、X線源としては、エネルギーが1487eVのAlのKα線を用いた。光電子は表面垂直方向で30観測した。図2中、ピーク(1)はシリコン基板のSiの2p軌道からの光電子によるものであり、ピーク(2)はシリコン酸化膜のSiの2p軌道からの光電子によるものである。ピーク(2)とピーク(1)の面積強度の比から酸化膜の膜厚を計算したところ、8.0nmであった。ここでは、Siの2p軌道からの光電子のシリコン酸化膜中の平均自由行程として3.5nmを用い、シリコン基板中の平均自由行程として2.6nmを用いた。また、エリプソナーターを用いても、酸化膜の膜厚は8.0nmと見積もられた。

【0026】以上のように、本実施の形態によれば、過塩素酸水溶液を用いてシリコン基板の表面を酸化することにより、200°C程度の低温で8nm以上のシリコン酸化膜を形成することが可能であることが確認された。

【0027】また、このように過塩素酸水溶液を用いることにより、酸化膜中の金属不純物の含有量が極めて少なくなるため、界面準位密度、固定電荷密度の低い界面特性に優れたシリコン酸化膜を形成することができた。

【0028】図3は、シリコン酸化膜の膜厚を、203°Cに加熱した濃度72.4vol.%の過塩素酸水溶液に50浸漬する時間に対してプロットしたものである。洗浄を行

い、濃度1.0vol.%のフッ化水素酸(HF)水溶液によって自然酸化膜を除去したシリコン基板を、203°Cに加熱した濃度72.4vol.%の過塩素酸水溶液に浸漬し、その後に観測したX線光電子スペクトルからシリコン酸化膜の膜厚を求めた。図3に示すように、膜厚2.5nm以上では、シリコン酸化膜の膜厚は時間とともに直線的に増加しており、過塩素酸水溶液中への浸漬時間を調整することにより、シリコン酸化膜の膜厚の制御を簡単に行うことができる。

【0029】尚、本実施の形態においては、濃度72.4vol.%の過塩素酸水溶液を用いた場合を例に挙げて説明したが、必ずしもこの濃度の過塩素酸溶液に限定されるものではなく、過塩素酸の濃度が10vol.%以上であれば、所期の目的を達成することができる。

【0030】また、本実施の形態においては、シリコン酸化膜5を形成するために、過塩素酸溶液8を用いているが、過塩素酸は必ずしも溶液に限定されるものではなく、気体の過塩素酸と半導体を反応させることによっても同様の半導体酸化膜を形成することができる。

【0031】以下に、過塩素酸を含む気体と半導体を反応させることによって半導体酸化膜を形成する場合について説明する。

〈第2の実施の形態〉図4は本発明の第2の実施の形態における酸化膜の形成装置を示す概略図である。図4に示すように、サファイア(A12O3)によって構成された容積1000cm³の横長のチャンバー101内には、半導体基板102が水平状態で支持されている。チャンバー101の外側の上部及び下部にはハロゲンランプ103が設けられており、このハロゲンランプ103によって半導体基板102を上下方向から加熱することができるようになっている。この酸化膜形成装置においては、チャンバー101の左端から、酸化膜を形成する前に半導体基板102の表面の自然酸化膜を除去するための無水HFガス104、オゾンガス105及び過塩素酸の蒸気106を導入することができるようになっている。これらのガスは、チャンバー101内の半導体基板102の表面で反応した後、チャンバー101の右端の排気ポート107から排気される。実際の装置には、半導体基板搬送機構や、制御部、電源部などが備わっているが、本実施の形態においては、実際にプロセスを行うチャンバー付近のみを示している。

【0032】次に、上記の構成を備えた酸化膜の形成装置を用いて、酸化膜を形成する場合について説明する。この場合、半導体基板102として200mm径の単結晶シリコン基板を用いた。また、チャンバー101内の圧力は100Torrに設定されている。

【0033】まず、半導体基板(単結晶シリコン基板)102をチャンバー101内の所定の位置に配置した後、半導体基板(単結晶シリコン基板)102の表面の自然酸化膜を除去するために、チャンバー101内に無

水HFガス104を約5秒間にわたって50cc/秒の流量で導入した。これにより、半導体基板(単結晶シリコン基板)102の表面の自然酸化膜が完全に除去され、清浄なシリコン表面が露出した。次に、過塩素酸の蒸気106を200cc/秒の流量でチャンバー101内に導入しながら、ハロゲンランプ103によって半導体基板(単結晶シリコン基板)102の表面温度が300°Cとなるように加熱した。この状態で180秒間加熱したところ、半導体基板(単結晶シリコン基板)102の表面に膜厚6nmのシリコン酸化膜が形成された。この場合、過塩素酸の蒸気106に加え、オゾンガス105を導入することによってもシリコン酸化膜を効率良く形成することができる。

【0034】本実施の形態においても、チャンバー101内に導入する過塩素酸の蒸気106の量(過塩素酸の蒸気106への暴露時間)を調整することにより、シリコン酸化膜の膜厚の制御を簡単に行うことができる。

【0035】以上のようにして半導体基板(単結晶シリコン基板)102の表面にシリコン酸化膜を形成した後20は、上記第1の実施の形態の図1に示すMOS容量の作製フローに従ってMOSデバイスを作製することができる。

【0036】尚、本実施の形態においては、過塩素酸の蒸気を用いた場合を例に挙げて説明したが、過塩素酸の濃度が10vol.%以上であれば、所期の目的を達成することができる。この場合、過塩素酸のほかに、オゾンガスが含まれていてもよい。

【0037】また、本実施の形態においては、半導体基板の加熱温度を300°Cに設定しているが、必ずしもこの温度に限定されるものではなく、半導体基板の加熱温度は170°C以上500°C以下であればよい。

【0038】また、本実施の形態においては、ガスを半導体基板102の面に平行に導入しているが、必ずしもこの構成に限定されるものではなく、シャワー・ヘッドなどを用いてもよい。

【0039】また、本実施の形態においては、ハロゲンランプ103によって半導体基板102の表面を加熱しているが、必ずしもこの構成に限定されるものではなく、抵抗加熱を用いることも可能である。

【0040】また、上記第1及び第2の実施の形態においては、半導体基板として単結晶シリコン基板を用いた場合を例に挙げて説明したが、必ずしも単結晶シリコン基板に限定されるものではなく、多結晶シリコン、非晶質シリコン、砒化ガリウム、焼化インジウム、シリコンゲルマニウム、シリコングルマニウムカーバイドなど他の半導体からなる基板に適用することもできる。

【0041】

【発明の効果】以上説明したように、本発明によれば、過塩素酸を用いることにより500°C以下の低温で、界面特性に優れた高品質の安価な酸化膜を半導体表面に形

成することができ、これらの酸化膜をゲート酸化膜として用いることにより高性能なMOSデバイスを実現することができる。

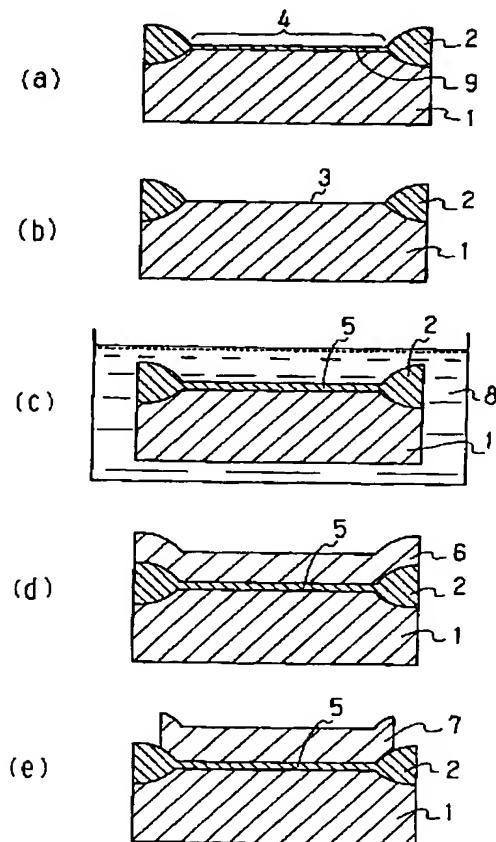
【図面の簡単な説明】

【図1】本発明の第1の実施の形態における半導体表面の酸化膜の形成方法を用いてMOS容量を形成する場合のプロセス図であり、(a)はシリコン基板上に素子分離領域と活性領域を形成する工程、(b)はシリコン表面の自然酸化膜を除去する工程、(c)はシリコン基板を過塩素酸を含む溶液に浸漬して酸化膜を形成する工程、(d)は電極膜を形成する工程、(e)はゲート電極を形成する工程をそれぞれ示している。

【図2】本発明の第1の実施の形態において203°Cに加熱した濃度72.4vol.%の過塩素酸水溶液中にシリコン基板を40分間浸漬した後に測定したX線光電子スペクトルである。

【図3】本発明の第1の実施の形態において203°C及び195°Cに加熱した濃度72.4vol.%の過塩素酸水溶液中にシリコン基板を浸漬した場合の浸漬時間とシリコン酸化膜の膜厚との関係を示す図である。

【図1】

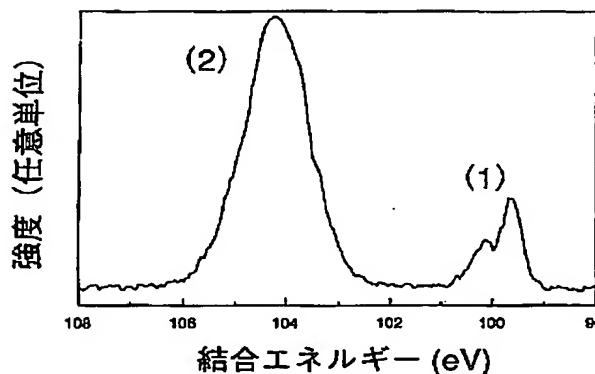


【図4】本発明の第2の実施の形態における酸化膜の形成装置を示す概略図である。

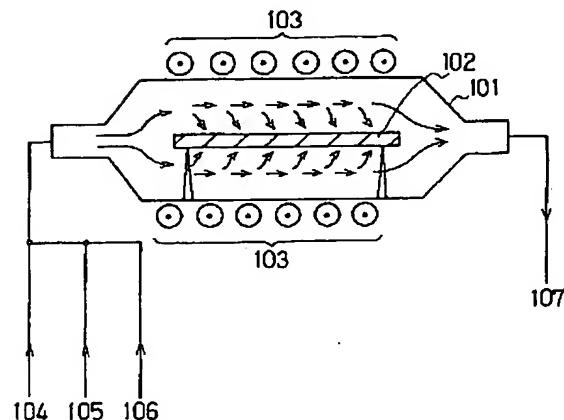
【符号の説明】

- 1 シリコン基板(半導体基板)
- 2 素子分離領域
- 3 清浄なシリコン表面
- 4 活性領域
- 5 シリコン酸化膜
- 6 アルミニウム
- 7 ゲート電極
- 8 過塩素酸水溶液
- 9 自然酸化膜
- 10 101 チャンバー
- 102 半導体基板(単結晶シリコン基板)
- 103 ハロゲンランプ
- 104 無水HFガス導入ライン
- 105 オゾンガス導入ライン
- 106 過塩素酸蒸気導入ライン
- 107 排気ポート

【図2】



【図3】



[図3]

